



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 103 40 926 A1 2005.03.31

(12)

Offenlegungsschrift

(21) Aktenzeichen: 103 40 926.2

(22) Anmeldetag: 03.09.2003

(43) Offenlegungstag: 31.03.2005

(51) Int Cl.⁷: H01L 51/40
H01L 21/283, H01L 51/10

(71) Anmelder:

Technische Universität Ilmenau Abteilung
Forschungsförderung und Technologietransfer,
98693 Ilmenau, DE; Leibniz-Institut für Festkörper-
und Werkstoffforschung Dresden e.V., 01069
Dresden, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht zu
ziehende Druckschriften:

DE 198 19 200 A1
DE 101 16 876 A1
EP 07 32 868 A1
WO 03/0 81 687 A1
WO 99/26 730 A1

(72) Erfinder:

Doll, Theodor, Prof. Dr.-Ing. habil., 99310 Arnstadt,
DE; Scheinert, Susanne, Dr.-Ing., 98693
Unterpörlitz, DE; Scherer, Axel, Prof., Catalina,
US; Paasch, Gernot, Prof., 01796 Pirna, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

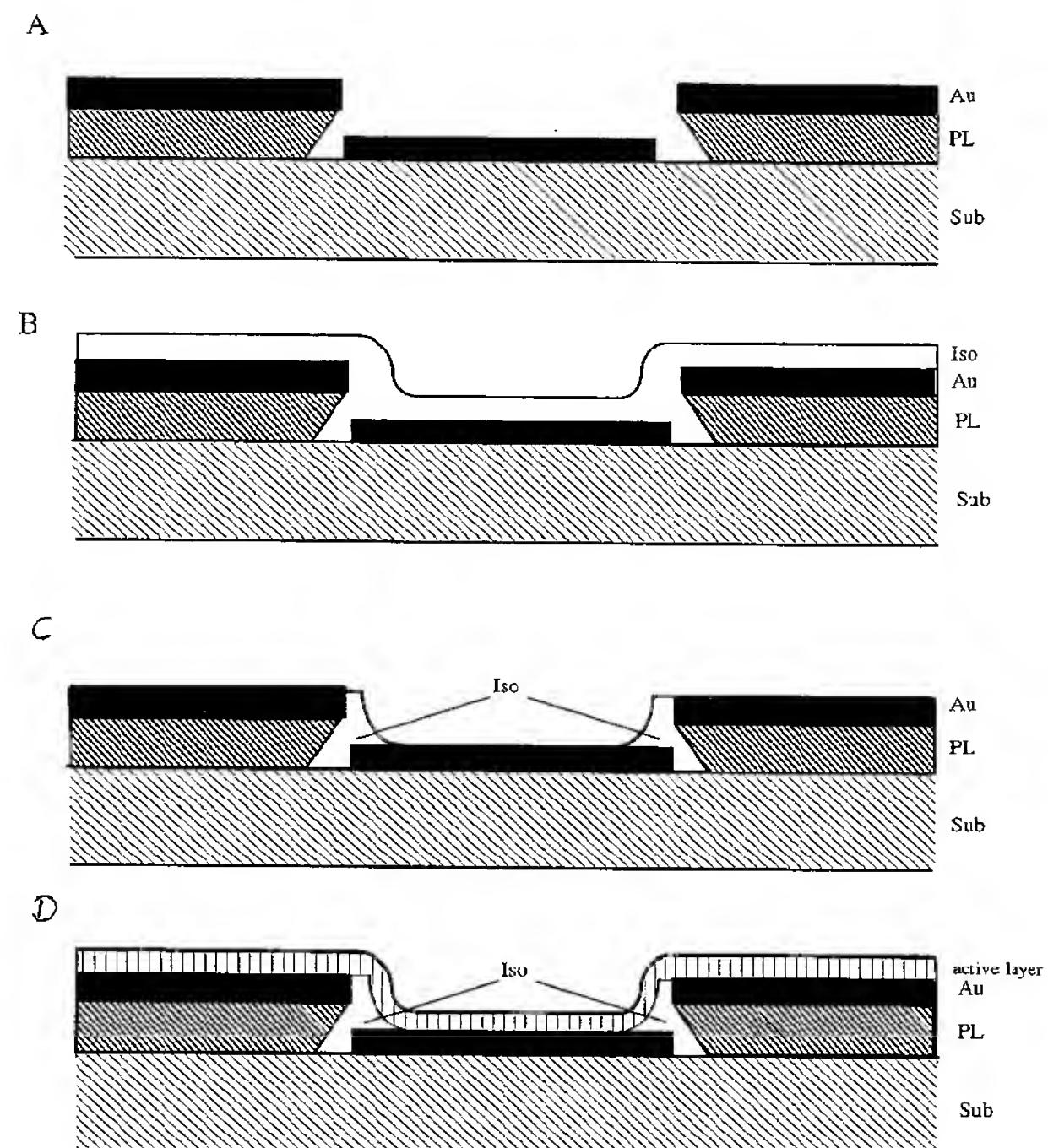
Rechercheantrag gemäß § 43 Abs. 1 Satz 1 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zur Herstellung von elektronischen Bauelementen**

(57) Zusammenfassung: Die Herstellung elektronischer Bauelemente soll durch eine einfache und kostengünstige Strukturierung der dicht aneinander grenzenden Elektroden auf einem Substrat mit möglichst geringem technologischen Aufwand realisiert werden.

Die Strukturierung der Elektroden kann mittels überschneidender Kanten am abgeschiedenen Layer oder mittels Unterätzung des abgeschiedenen Layers erfolgen. Die Fertigstellung der elektronischen Bauelemente erfolgt danach entweder auf herkömmliche Weise, oder mittels eines Lithographieverfahrens von der Unterseite des lichtdurchlässigen Substrates, oder durch Ätzen in die Tiefe des Substrates und anschließender Abfolge bekannter Verfahrensschritte zur Herstellung elektronischer Bauelemente.

Anwendung finden diese vorgestellten Verfahren in der Molekularelektronik, zur Herstellung von Polymer-Feldeffekttransistoren, von Feldemittoren oder anderen elektronischen Bauelementen.



Beschreibung

[0001] Die Erfindung betrifft mehrere Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden mit Abständen im Bereich von einigen 10 nm bis einigen um auf einem beliebigen Substrat, das außer Substraten der Standard-Halbleitertechnologie (z.B. Si, SiO₂, Si₃N₄, GaAs, Al₂O₃) auch ein Polymerfilm oder Glas sein kann.

[0002] Die erfindungsgemäßen Verfahren finden für eine äußerst preisgünstige und einfache Herstellung von elektronischen Bauelementen welche kleinste Elektrodenabstände benötigen wie z.B. Molekularelektronik, Polymer-Feldeffekttransistoren oder Feldemitter, ihre Anwendung.

Stand der Technik

[0003] Im Stand der Technik sind verschiedene Lithographieverfahren (DUV oder Elektronenstrahlolithographie) beschrieben, mit denen eine möglichst kleine Länge des elektrisch aktiven Kanals im Transistor (Kanallänge) und damit eine hohe Betriebsfrequenz erreicht werden kann. Allerdings sind diese hochauflösenden Lithographieverfahren sehr kostenintensiv und deshalb für die Anwendungsfelder der low-performance- und low-cost-electronics ungeeignet.

[0004] Daneben ist eine Methode nach Friend, veröffentlicht in SCIENCE 299, 1881 (2003), bekannt, bei der zur Darstellung eines kurzen Kanals in Polymertransistoren eine vertikale Anordnung von zwei lateralen, durch eine isolierende Polymerschicht getrennte Metallisierungsschichten Anwendung findet. Mit einer Schneide wird in diesen Sandwich hineingedrückt, so dass an den Seitenwänden Elektrodenanschlüsse M_{e1} und M_{e2} nahe beieinander frei liegen. Über diese V-Nut hinweg wird dann der Polymerhalbleiter aufgetragen („aktive layer“) und weiter zum Transistor vervollständigt.

[0005] Nachteilig wirkt sich hierbei allerdings aus, dass sich das Material beim Eindrücken des Schneide-Stempels verformt und die gegenüberliegenden Seitenwände des Kanals sehr eng zueinander positioniert sind. Die anschließend aufgeschleuderte aktive Schicht kann sich aufgrund der Meniskusbildung nicht gleichmäßig verteilen.

Aufgabenstellung

[0006] Aufgabe der Erfindung ist es deshalb, ein oder mehrere Verfahren zu entwickeln, mit denen dicht aneinander grenzende Elektroden auf einem Substrat auf eine einfache und kostengünstige Weise strukturiert werden und somit die Herstellung von elektronischen Bauelementen mit möglichst gerin-

gem technologischen Aufwand erfolgen kann.

[0007] Erfindungsgemäß gelingt die Lösung dieser Aufgabe mit den kennzeichnenden Merkmalen der Patentansprüche 1, 2, 3 und 4.

Ausführungsbeispiel

[0008] Die Erfindung wird am Beispiel der Herstellung eines Feldeffekttransistors mit folgenden Zeichnungen näher erläutert. In den zugehörigen Zeichnungen zeigen:

[0009] **Fig. 1** – Strukturierung der Elektroden mittels Überschneidungen im abgeschiedenen Layer

[0010] **Fig. 2** – Strukturierung der Elektroden mittels Unterätzung eines abgeschiedenen Layers

[0011] **Fig. 3** – Herstellung eines Transistors mit bekannten Verfahren

[0012] **Fig. 4** – Herstellungsverfahren für einen Feldeffekt-Transistor mittels Photolithographie von der Unterseite des Substrates

[0013] **Fig. 5** – Herstellung eines Feldeffekttransistors mittels Ätzung in die Substrattiefe

[0014] In **Fig. 1** sind die Schritte eines vertikalen Herstellungsverfahrens dargestellt. Auf einem Substrat wurde ein Photolack aufgebracht und so strukturiert, dass überschneidende Kanten am Photolack entstehen. Anschließend wird ein Metall, vorzugsweise Chrom oder Gold, aufgedampft. Der im folgenden Verfahrensschritt aufgeschleuderte Isolator bedeckt die gesamte Oberfläche. An den sich überschneidenden Kanten des Photolackes bilden sich aufgrund der Meniskusbildung während des nachfolgenden Ätzprozesses flache Kanten in Umkehrung der Überschneidungen. Das so entstandene Substrat mit seinen aufgebrachten und voneinander isolierten Elektroden kann nun in weiteren Verfahrensschritten wie Aufschleudern des organischen Halbleiters („aktive layer“), Aufbringen eines weiteren Isolators und einer Gatemetallisierung und Freilegen der Elektroden zu einem polymeren Feldeffekttransistor fertiggestellt werden.

[0015] In **Fig. 2** ist ein zweites Verfahren zur Strukturierung dicht aneinander grenzender Elektroden auf einem Substrat aufgezeigt. Hierbei ist auf dem Substrat eine Metallschicht, vorzugsweise Chrom oder Gold, aufgedampft. Auf diese Metallschicht wird ein Photolack aufgebracht und entsprechend den herzustellenden Bauelementen strukturiert. Im anschließenden Verfahrensschritt erfolgt die Ätzung des Metalls an den vom Photolack unbedeckten Stellen, wobei das Metall an den Photolakkanten kontrolliert überätzt wird.

[0016] Dadurch entstehen jeweils an den Photolackstrukturen Überhänge. Nachfolgend wird die so erhaltene Struktur noch einmal mit Metall bedampft. Durch die Unterätzung werden die Elektroden voneinander separiert. Nachdem der Photolack mit der daraufliegenden Metallschicht entfernt ist (Lift Off), kann das gewünschte elektronische Bauelement (Feldeffekttransistor) mit den bekannten Verfahrensschritten durch Aufschleudern eines organischen Halbleiters („aktive layer“) und eines Isolators, Abscheiden einer Gatemetallisierung und Freiatzen der Anschlüsse fertiggestellt werden (**Fig. 3**).

[0017] In **Fig. 2** und **4** ist ein Herstellungsverfahren für ein elektronisches Bauelement mit dicht aneinander grenzenden Elektroden auf einem Substrat am Beispiel der Herstellung eines Feldeffekttransistors dargestellt. Die Strukturierung dieser dicht aneinander grenzenden Elektroden erfolgt wie im vorher beschriebenen Verfahren (Verfahren 2) bis zum Aufschleudern des Isolators. Auf diesen Isolator wird anschließend ein Photolack aufgebracht und von der Unterseite des Substrates photolithographiert. Unabdingbare Voraussetzung für diesen Schritt ist allerdings, dass das Substrat, die aktive Schicht und der Isolator lichtdurchlässig sind. Nach diesem photolithographischen Prozess erfolgt eine nochmalige Bedampfung der Oberfläche mit Metall. Im letzten Verfahrensschritt wird der verbliebene Photolack mit der daraufliegenden Metallschicht entfernt (z.B. durch einen Lift-Off-Prozess).

[0018] Um diesen Lift-Off-Prozess im Submikrometerbereich zu vermeiden, kann die Metallschicht alternativ dazu auch durch Auftragen einer entsprechenden Maske und Ätzen mit einer Breite größer als die Kanallänge strukturiert werden. Die über den eng beieinander liegenden Elektroden befindlichen Gateabschnitte werden durch den darunter verbleibenden Photolack so weit von den Elektroden separiert, dass die entstehenden parasitären Gatekapazitäten wie bei einem Feldoxid klein bleiben (**Fig. E-4-d'**).

[0019] Ein weiteres Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat ist in **Fig. 2** und **5** am Beispiel der Herstellung eines Feldeffekttransistors dargestellt. Die Strukturierung dieser dicht aneinander grenzenden Elektroden erfolgt wie im oben beschriebenen Verfahren (Verfahren 2). An den Stellen des Substrates, an denen keine Metallschicht vorhanden ist, werden Löcher oder Gräben in das Substrat für ein oder mehrere vergrabene Gates geätzt. Im nächsten Verfahrensschritt wird eine zweite Metallschicht auf die gesamte Oberfläche aufgedampft. Dabei werden in den Löchern oder Gräben dünne Gatemetallisierungen abgeschieden. Auf die erhaltene Oberfläche wird nachfolgend ein Isolator aufgebracht. Die Löcher oder Gräben füllen sich teilweise mit dem Isolator. An der Substratoberseite

und wegen des engen Aspektverhältnisses in den Gatelöchern oder -gräben nur zum Teil wird die Isolatorschicht weggeätzt (z.B. mit einem Plasmaprozeß). Anschließend wird der organische Halbleiter („aktive layer“) aufgeschleudert. Nach der Versiegelung der Oberfläche des Substrates müssen die Kontakte der vergrabenen Gates an vorbestimmten Stellen mit Hilfe eines photolithographischen Prozesses freigelegt werden.

[0020] Die erfindungsgemäßen Verfahren ermöglichen die Herstellung von elektronischen Bauteilen mit dicht aneinander grenzenden Elektroden, wobei die Strukturierung der Elektroden mit Hilfe eines Ein-Maskenprozesses realisiert wird. Dabei können klassische Mikrostrukturierungstechniken eingesetzt werden. Durch die Anwendung dieser Verfahren können elektronische Bauelemente sehr einfach und kostengünstig hergestellt werden. Die mit Hilfe der erfindungsgemäßen Verfahren hergestellten elektronischen Bauelemente sind besser und einfacher zu reproduzieren.

Patentansprüche

1. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat **dadurch gekennzeichnet**, dass die Strukturierung der Elektroden mit folgenden Schritten realisiert wird:

- a) auf dem Substrat wird ein Photolack mit überschneidenden Kanten strukturiert,
- b) auf das Substrat und den strukturierten Photolack wird ein Metall aufgedampft,
- c) auf die entstandene Oberfläche wird ein Isolator aufgeschleudert,
- d) der Isolator wird geätzt, wobei an den überschneidenden Kanten des Photolackes flache Kanten als Umkehrung zu diesen Überschneidungen entstehen.

2. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat dadurch gekennzeichnet, dass die Strukturierung der Elektroden mit folgenden Schritten realisiert wird:

- a) auf dem Substrat wird eine Metallschicht aufgebracht,
- b) auf dieser Metallschicht wird ein Photolack strukturiert,
- c) die freiliegende Metallschicht wird geätzt, wobei mittels kontrollierten Unterätzungen des Metalls an den Photolackstrukturen Überhänge des Photolackes entstehen,
- d) die so entstandene Oberfläche wird mit Metall bedampft, und
- e) der Photolack mit der daraufliegenden Metallschicht wird entfernt.

3. Verfahren zur Herstellung von elektronischen

Bauelementen mit dicht aneinander grenzenden Elektroden auf einem lichtdurchlässigen Substrat dadurch gekennzeichnet, dass

- a) die Elektroden auf dem Substrat nach Anspruch 2 strukturiert werden,
- a) ein lichtdurchlässiger organischer Halbleiter und ein lichtdurchlässiger Isolator aufgeschleudert werden,
- b) ein zweiter Photolack auf die Oberfläche aufgebracht und von der Unterseite des Substrates photolithographiert wird,
- c) eine Metallschicht auf die erhaltene Oberfläche aufgedampft wird,
- d) der verbliebene Photolack mit der auf ihm liegenden Metallschicht entfernt wird, und
- f) das elektronische Bauelement durch Freiatzen der Anschlüsse fertiggestellt wird.

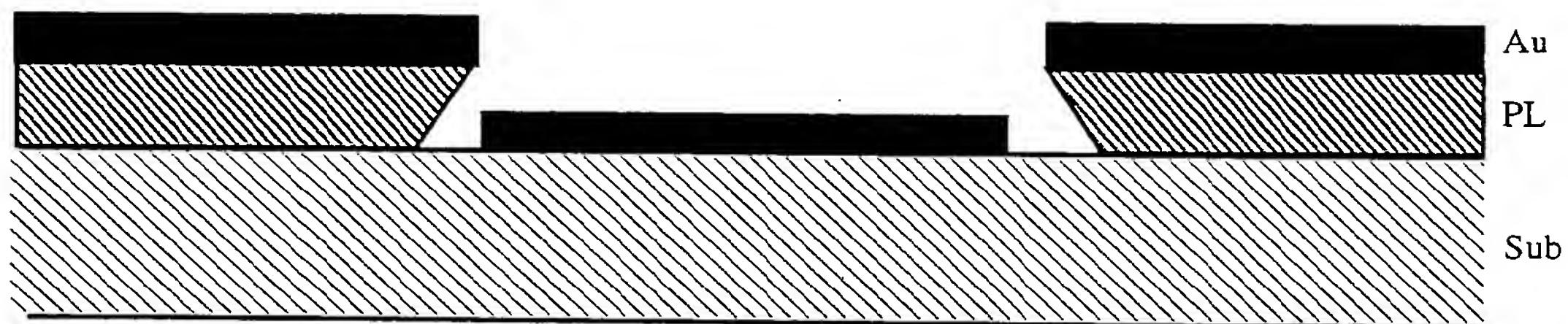
4. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat dadurch gekennzeichnet, dass

- a) die Elektroden auf dem Substrat nach Anspruch 2 strukturiert werden,
- b) in das Substrat an den Stellen ohne Metall Löcher oder Gräben geätzt werden,
- c) eine zweite dünne Metallschicht abgeschieden wird,
- d) ein Isolator aufgeschleudert wird,
- e) der Isolator an der Oberseite des Substrates geätzt wird,
- f) ein organischer Halbleiter aufgeschleudert und die Oberfläche versiegelt wird,
und
- g) mittels photolithographischen Prozess die vergrabenen Gates kontaktiert werden.

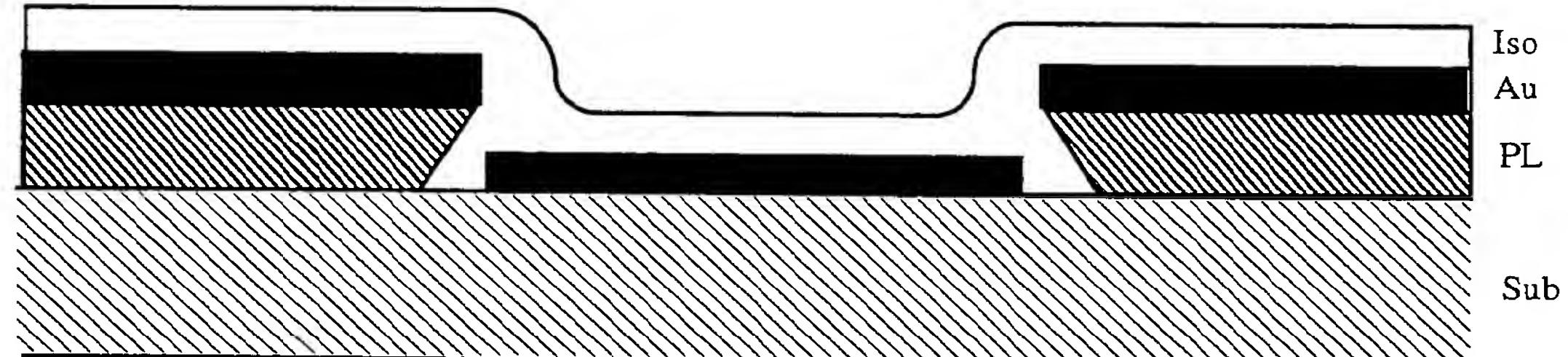
Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

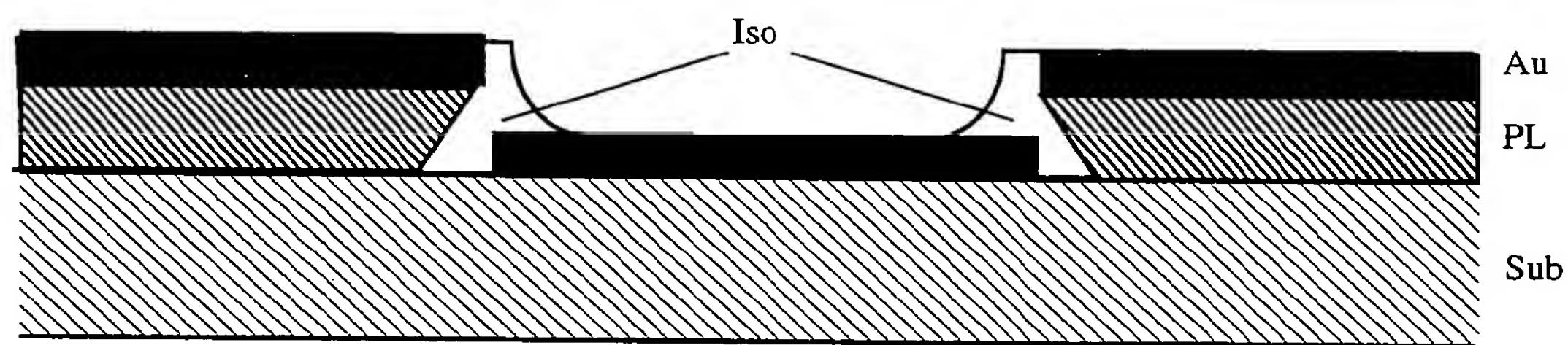
A



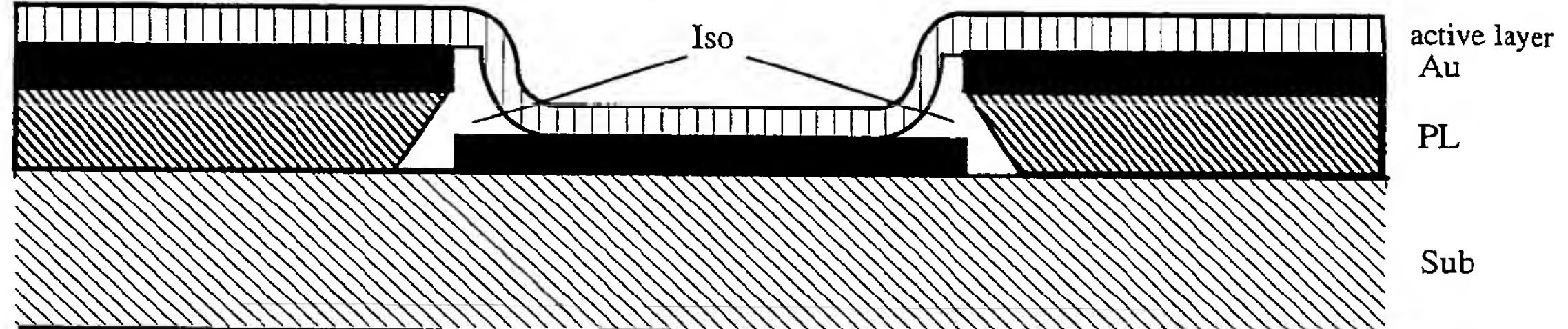
B



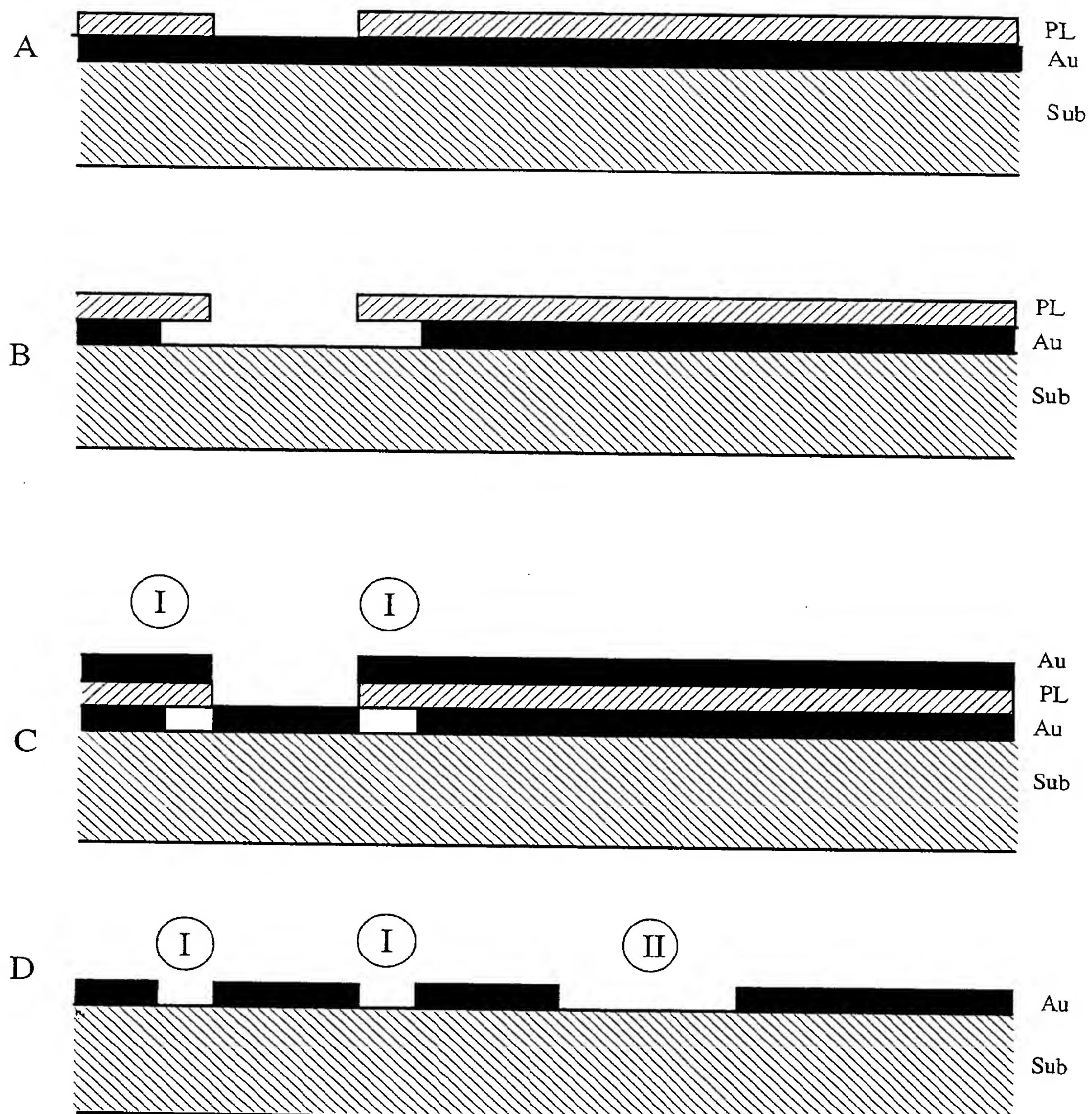
C



D

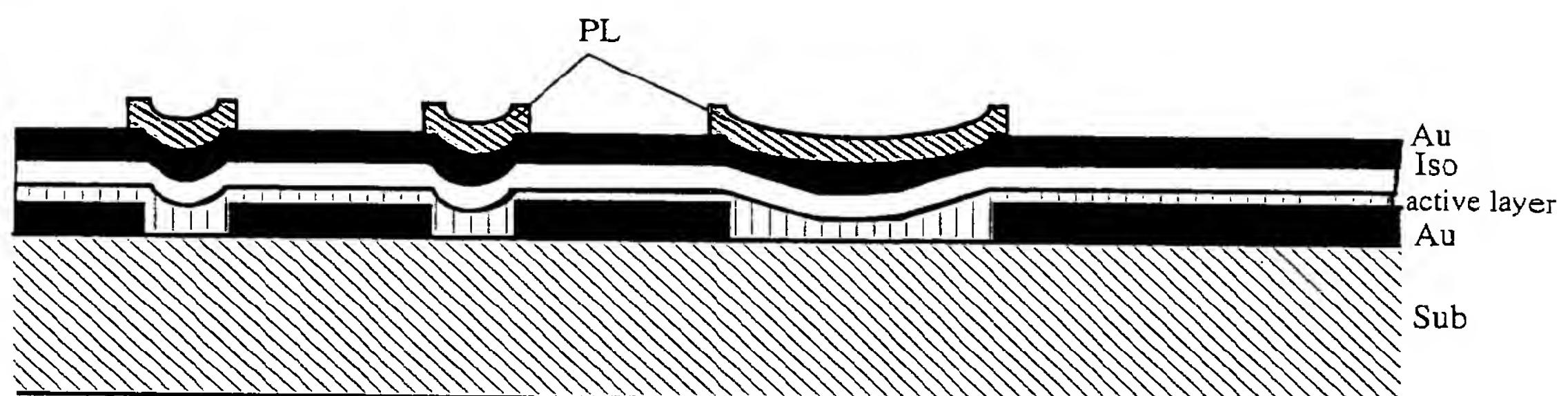


Figur 1

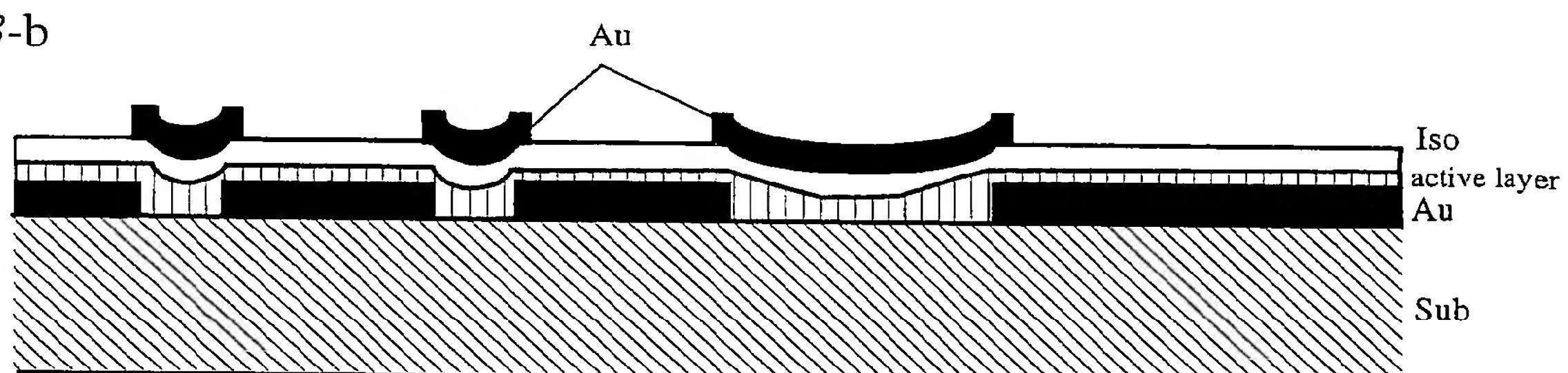


Figur 2

E-3-a

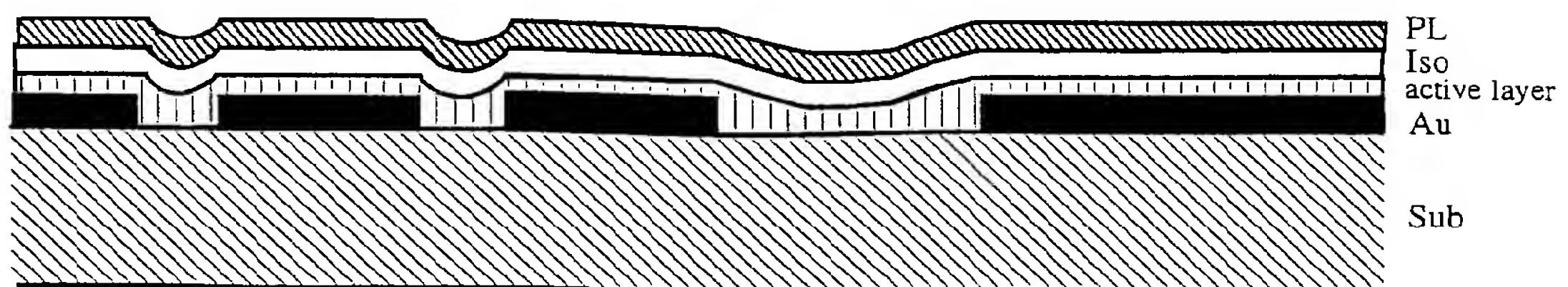


E-3-b

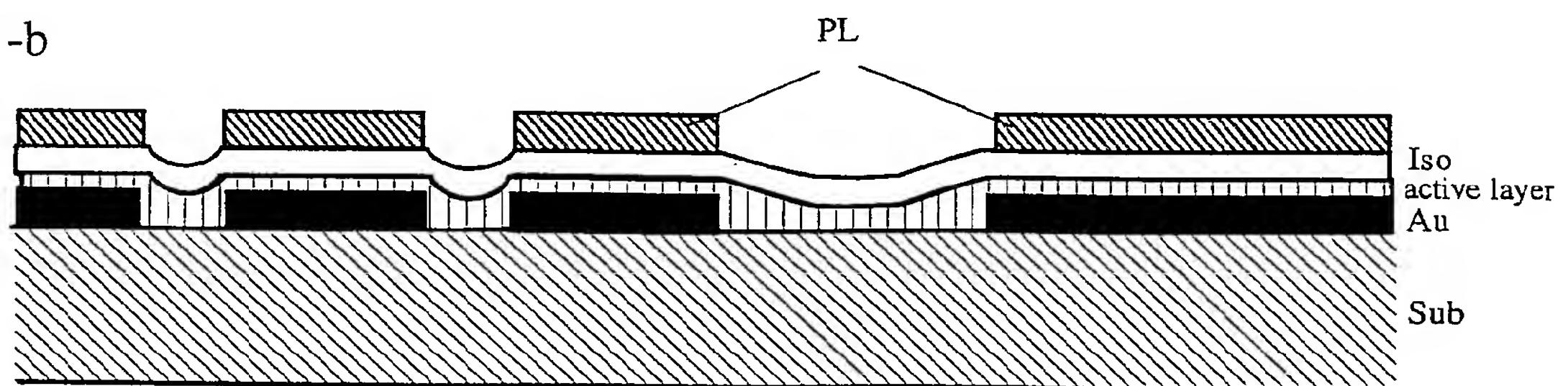


Figur 3

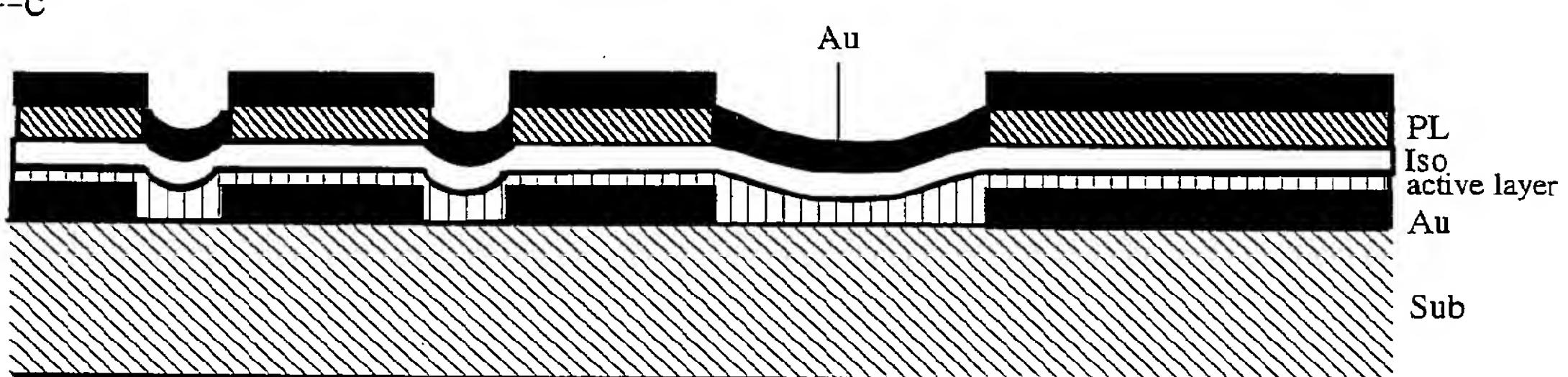
E-4-a



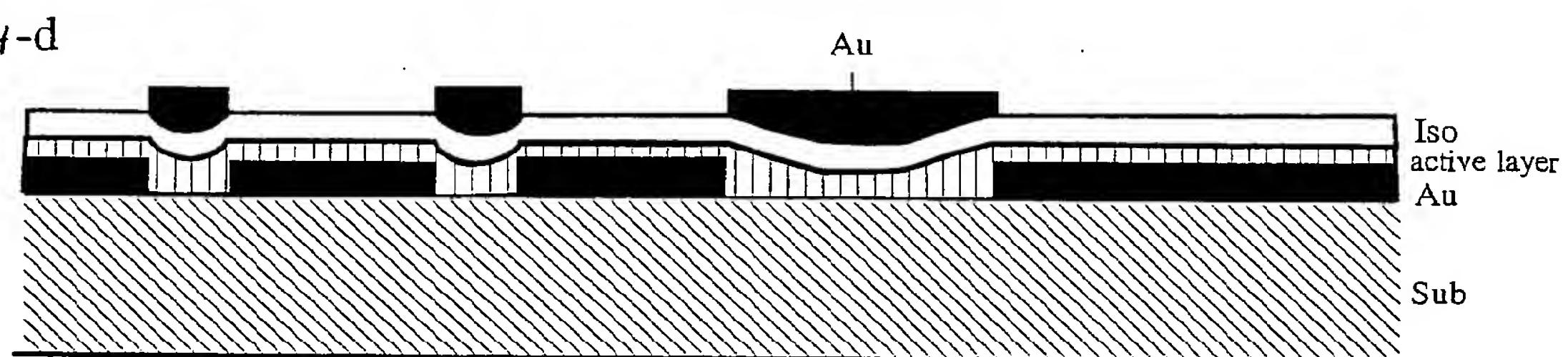
E-4-b



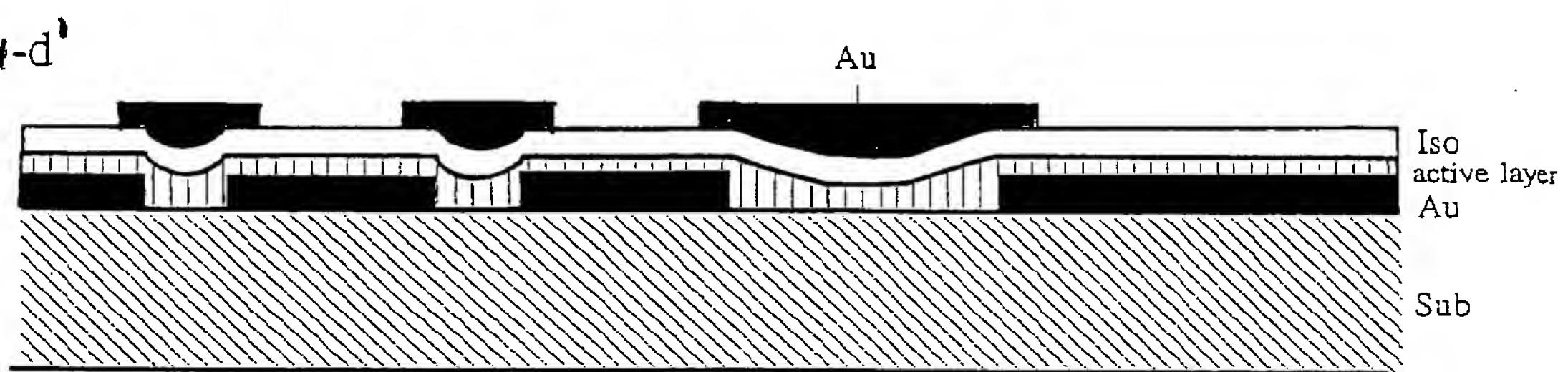
E-4-c



E-4-d

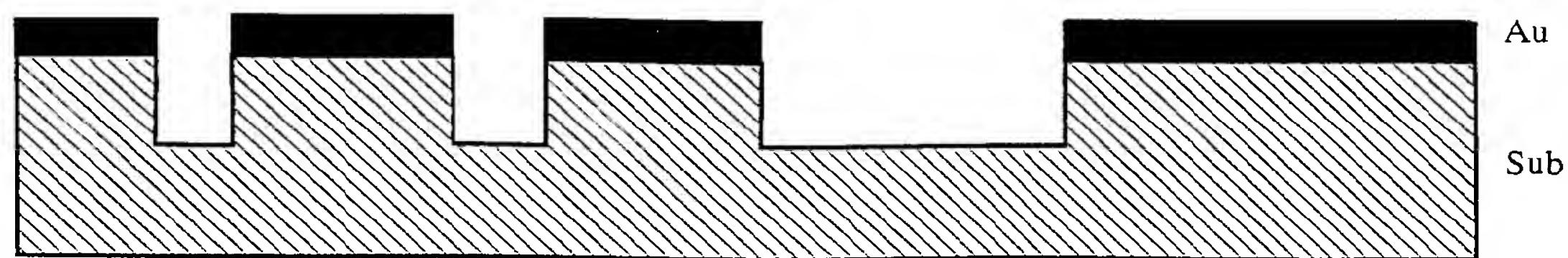


E-4-d'

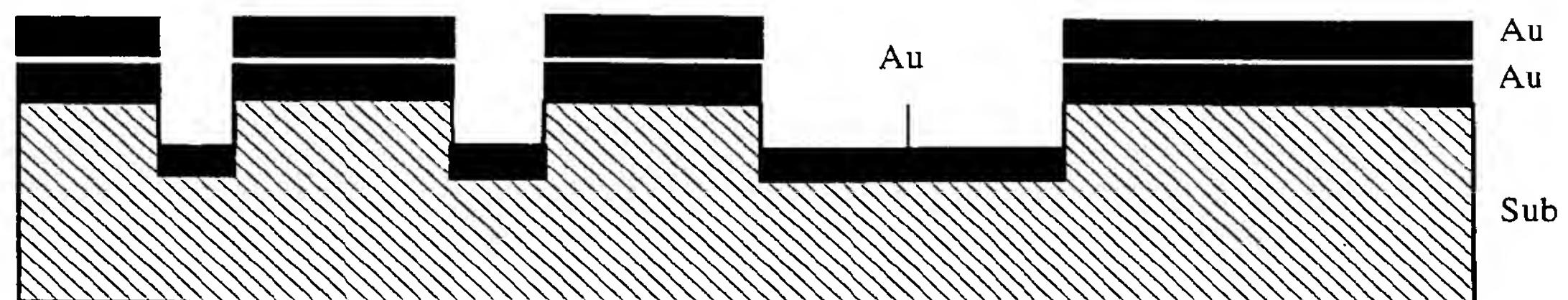


Figur 4

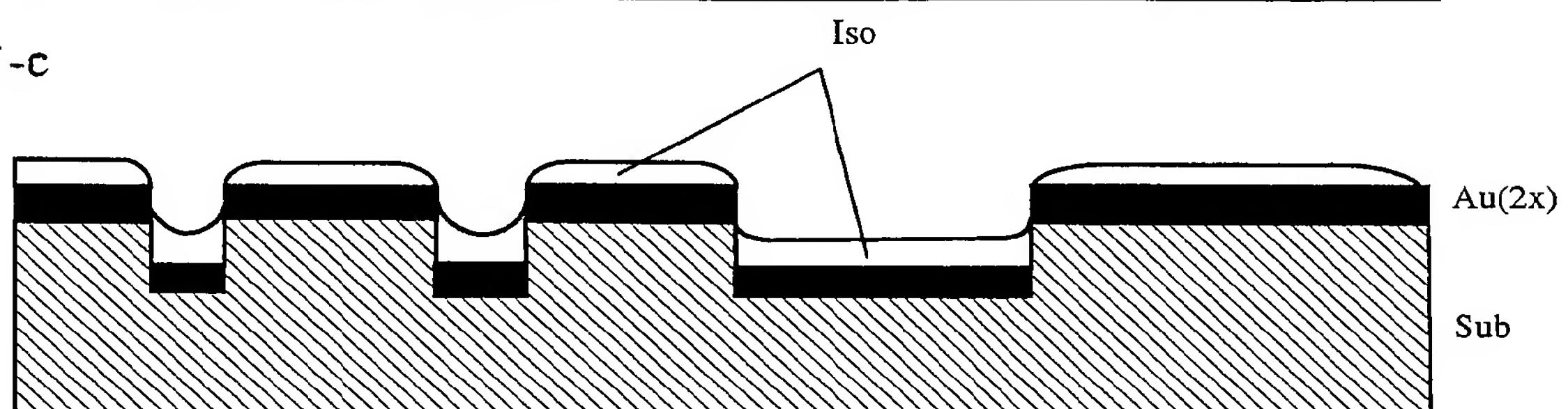
E-5-a



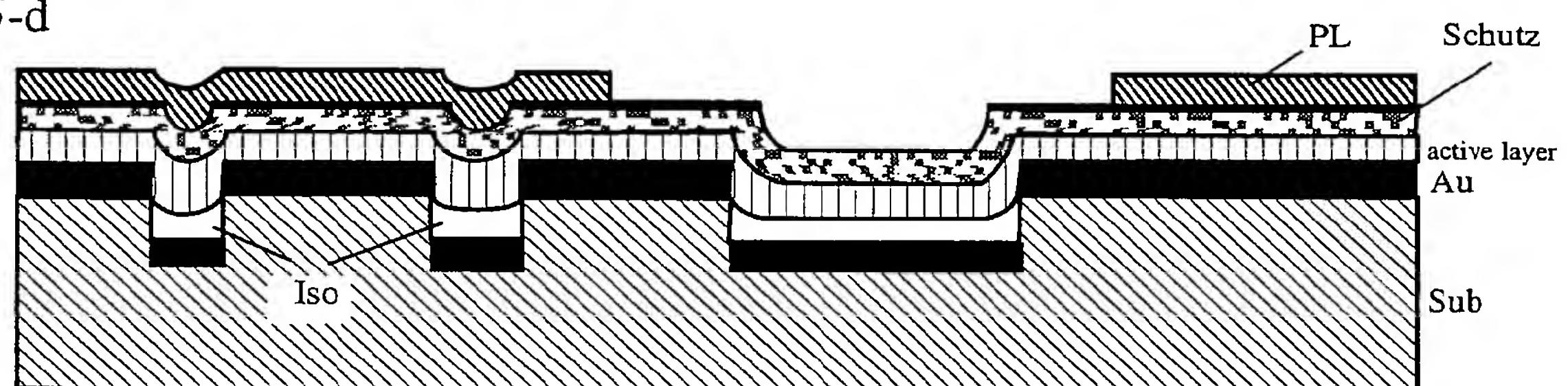
E-5-b



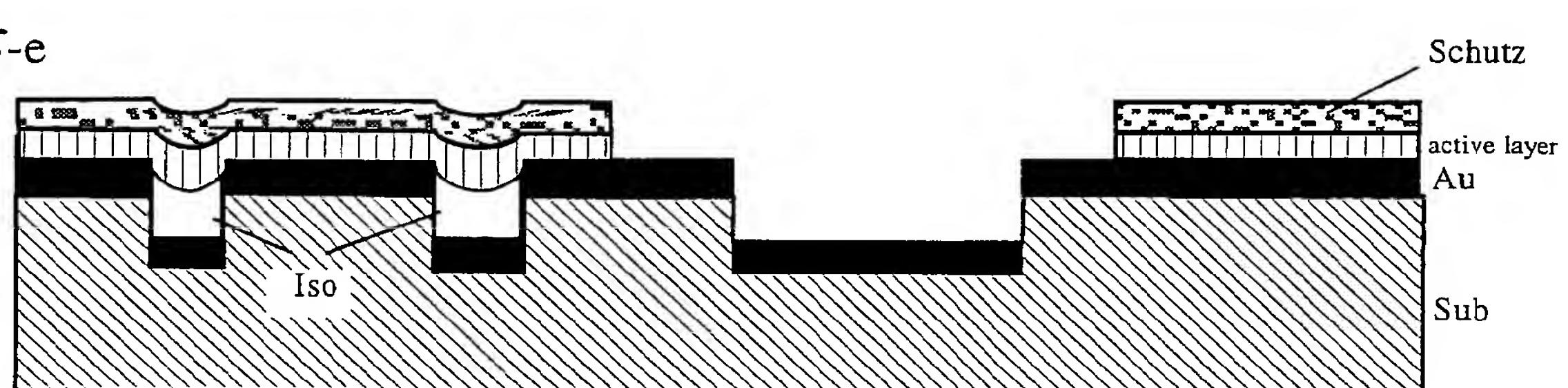
E-5-c



E-5-d



E-5-e



Figur 5